

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2000-502813

(P2000-502813A)

(43) 公表日 平成12年3月7日(2000.3.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/20	6 3 1	G 0 9 G 3/20	6 3 1 D
3/28		3/28	R
3/36		3/36	

審査請求 未請求 予備審査請求 有 (全 36 頁)

(21) 出願番号 特願平9-523354
 (86) (22) 出願日 平成8年12月18日(1996.12.18)
 (85) 翻訳文提出日 平成10年6月19日(1998.6.19)
 (86) 国際出願番号 PCT/FR96/02013
 (87) 国際公開番号 WO97/23861
 (87) 国際公開日 平成9年7月3日(1997.7.3)
 (31) 優先権主張番号 95/15405
 (32) 優先日 平成7年12月22日(1995.12.22)
 (33) 優先権主張国 フランス (FR)
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR, US

(71) 出願人 トムソン マルチメディア
 フランス国, 92100 ブローニューヴィランクル, ケ・アー・ル・ガロ 46
 (72) 発明者 ボーレル, ティリー
 フランス国, 35135 シャンピー, リュ・ドゥ・ラ・ショミニネ 1
 (72) 発明者 ステファーンヌ, ガルニエ
 フランス国, 35135 シャンピー, リュ・ギユイ・モケ 2
 (74) 代理人 弁理士 伊東 忠彦 (外1名)

最終頁に続く

(54) 【発明の名称】 マトリクス・スクリーンをアドレッシングする装置

(57) 【要約】

本発明は、LCD又はプラズマ型スクリーン等のマトリクス・スクリーンをアドレッシングする装置に関する。本発明に係るアドレッシング装置は、先にデジタル化された輝度ビデオ信号を表すデジタルデータの複数のシーケンスをデマルチプレクス段(220)を介して受け、該輝度ビデオ信号を、メモリ段(70, 198)に先に格納されたデジタルデータの複数のシーケンスから副画面素の所与の組み合わせに対応するデジタルデータのシーケンスを選択するよう構成されたマルチプレクス段(230)へ送出するメモリ段(70, 198)を有する。

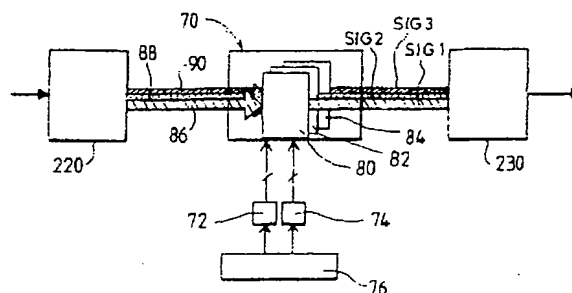


FIG.10

【特許請求の範囲】

1. N物理行及びM物理列からなる網に分布され、輝度ビデオ信号をそれぞれ受ける複数の副画素R, G, Bを組み合わせることにより構成画素が得られる複数のビデオ行及び列を有する、画像表示に適したマトリクス・スクリーンをアドレスリングする装置であって、

先にデジタル化された輝度ビデオ信号を表すデジタルデータの複数のシーケンスをデマルチプレクス段(220)を介して受け、該輝度ビデオ信号を、メモリ段(70, 198)に先に格納されたデジタルデータの複数のシーケンスから副画素の所与の組み合わせに対応するデジタルデータのシーケンスを選択するよう構成されたマルチプレクス段(230)へ送出するメモリ段(70, 198)を含むことを特徴とする装置。

2. 前記メモリ段(198)は、2つの並列な枝、すなわち、偶数ビデオ行を構成する物理行の1つに配置された副画素R, G, Bに関するビデオデータをそれぞれ収容するように意図された少なくとも3つのFIFOセル、すなわち、第1のセル(202)、第2のセル(204)、及び第3のセル(206)を有するユニット(200)が配置された第1の枝と、奇数ビデオ行を構成する物理行の1つに配置された副画素R, G, Bに関するビデオデータをそれぞれ収容するように意図された少なくとも3つのFIFOセル、すなわち、第4のセル(212)、第5のセル(214)、及び第6のセル(216)を有するユニット(210)が配置された第2の枝とを備えることを特徴とする請求項1記載の装置。

3. デジタルデータのメモリ(80, 82, 84)への書き込みを制御する手段(72)と、前記データのメモリ(80, 82, 84)からの読み出しを制御する手段(74)とを含み、前記書き込

み制御手段(72)及び前記読み出し制御手段(74)は、書き込み及び読み出し相を同期させる第1の手段に接続されていることを特徴とする請求項2記載の装置。

4. 前記メモリ(80, 82, 84)の各々は2つの異なる領域、すなわち、所与の書き込み相の間に所与のビデオ行の副画素R, G, Bに関するデジタルデ

一タが書き込まれる第1の領域(102)と、前記書き込み相の間、前回の書き込み相の間に書き込まれたビデオ行の副画素R、G、Bに関するデジタルデータが読み出される第2の領域(104)とを含むことを特徴とする請求項3記載の装置。

5. 前記メモリ段(198)は、2つの並列の枝、すなわち、偶数ビデオ行を構成する物理行の1つに配置された副画素R、G、Bをそれぞれ収容するよう意図された第1のセル(202)、第2のセル(204)、及び第3のセル(206)を有するユニット(200)が配置された第1の枝と、奇数ビデオ行を構成する物理行の1つに配置された副画素R、G、Bをそれぞれ収容するよう意図された第4のセル(212)、第5のセル(214)、及び第6のセル(216)を有するユニット(210)が配置された第2の枝とを含むことを特徴とする請求項1記載の装置。

6. 前記デマルチプレクス段(220)は、一方では、奇数ビデオ列に属する副画素R、G、Bに関するデータを前記ユニット(200)に切り替えて、持続時間Dのビデオ列の書き込み相の間に、これらのデータをそれぞれ前記第1のセル(202)、前記第2のセル(204)、及び前記第3のセル(206)に書き込み、他方では、偶数ビデオ列に属する副画素R、G、Bに関するデータを前記ユニット(210)に切り替えて、前記書き込み相の間に、これらのデータをそれぞれ前記第4のセル(212)、前記第5のセル

(214)、及び前記第6のセル(216)に書き込むことを特徴とする請求項5記載の装置。

7. 前記マルチプレクス段(230)は、前記持続時間Dの半分に相当する時から、前記セル(202、204、206、212、214、216)の1つに先に格納された表示されるべきビデオ行に属する副画素を表すデータのシーケンスを周波数1/Dで選択することを特徴とする請求項6記載の装置。

8. 前記デマルチプレクス段(220)に接続され、奇数ビデオ列に配置された副画素R、G、Bに関するビデオデータの前記第1のセル(202)、前記第2のセル(204)、及び前記第3のセル(206)への書き込みを制御する周

波数 F の第 1 の周期的信号 OW と、偶数ビデオ列に配置された副画素 R 、 G 、 B に関するビデオデータの前記第 4 のセル (2 1 2)、前記第 5 のセル (2 1 4)、及び前記第 6 のセル (2 1 6) への書き込みを制御する周波数 F の第 2 の周期的信号 EW を前記デマルチプレクス段 (2 2 0) へ送出する同期手段 (2 4 0) を含み、この同期手段 (2 4 0) は、更に、前記マルチプレクス段 (2 3 0) に接続され、前記マルチプレクス段 (2 3 0) により選択された偶数又は奇数のビデオ行の副画素に関するビデオデータの読み出しを制御する周波数 $2 * F$ の第 3 の周期的信号 RD を前記マルチプレクス段 (2 3 0) へ送出することを特徴とする請求項 5 乃至 7 のうち何れか 1 項記載の装置。

【発明の詳細な説明】

マトリクス・スクリーンをアドレッシングする装置

本発明は、LCD又はプラズマ型マトリクス・スクリーンをアドレッシングする装置に関する。

かかるスクリーンの表示面は一般に、原色R、G、Bの何れか1つを表し、N個の水平行とM個の垂直列の交差網を通してアドレッシングされる複数の副画素P(i, j)を有している。各副画素は、アドレッシング相(ラインタイム)の間、隣接する列へ接続するスイッチを介して、サンプルされたビデオ信号を受け取る。

かかるスクリーンの空間解像度は、表示可能画素を生成するのに用いられるアドレッシング可能な副画素の数及び組み合わせモードに依存する。表示可能画素の連続シーケンスは、表示されるべき画像のビデオ行及び列を構成する。

図1は、Lモードと称される公知の副画素の組み合わせモードを表す。このモードは、直交スクリーンをアドレッシングし、同じ行に位置する3つの副画素R、G、Bを組み合わせることにより表示可能画素を生成するのに用いられる。この場合、水平解像度 H_r は $M/3$ に等しく、値がNである垂直解像度に比して小さい。これは、L組み合わせモードを用いる480行×640列のVGAスクリーンの設計が $640 \times 3 = 1920$ に等しい列数M及び480に等しい行数を必要とするからである。また、画像のフォーマットを尊重するため、この組み合わせモードは大きな数の副画素を必要とする。このため、スクリーンのコストが相当に上昇する。

更に、マトリクス・スクリーンが連続モードでしかアドレッシングできない場合、図1に示す組み合わせモードはスクリーンをインターレース化画像源に適合させるためのアルゴリズムを必要とする。

図2及び図3は、デルタ型スクリーンをアドレッシングするのに

用いられ、デルタモードと称される第2の公知の副画素組み合わせモードの第1及び第2の変形をそれぞれ示す。Lモードと同様に、表示可能画素は、同じ水平列上に位置する3つの副画素R、G、Bを組み合わせることにより得られる。し

かしながら、図2に示すデルタモードの第1の変形において、2つの連続行は互いに副画素の半分だけ水平にオフセットしている。一方、図3に示す第2の変形では、2つの連続行は、互いに1.5副画素分だけ水平にオフセットしている。その結果、第1の場合には、表示可能画素の幅は、副画素の幅の3.5倍に等しく、一方、第2の場合には、表示可能画素の幅は、副画素の幅の4.5倍に等しい。第1の場合、水平解像度は垂直解像度に対して3.5倍の割合で低下し、一方、第2の場合、水平解像度は、垂直解像度に対して4.5倍の割合で低下する。

本発明の目的は、垂直解像度を過度に劣化させることなく水平解像度を向上させることが可能なマトリクススクリーンのアドレッシング装置を提供することである。

本発明に係る装置は、メモリ段70及び198を有し、該メモリ段70及び198は、デマルチプレクス段220を介して、先に格納された輝度ビデオ信号を表すデジタルデータの複数のシーケンスを受け、前記輝度ビデオ信号を、該メモリ段70及び198に先に格納されたデジタルデータの複数のシーケンスから副画素の所与の組み合わせに対応するデジタルデータシーケンスを選択するよう構成されたマルチプレクス段230へ送出する。

従って、本発明に係る装置は、用いられるスクリーンタイプにかかわらず、垂直解像度と水平解像度との間のより良好な妥協を得ることができるような副画素の組み合わせの選択を可能とする。

本発明の他の特徴及び利点は、添付の図面を参照して非限定的な例としてなされる以下の説明により明らかとなる。

図1は、従来技術で用いられる、直交型マトリクススクリーンの副画素R、G、Bを組み合わせる第1のモードを部分的に示す。

図2及び図3は、図1の副画素組み合わせモードのデルタ型スクリーンへの適用を示す。

図4は、本発明に係るアドレッシング装置により生成されるマトリクススクリーンの副画素R、G、Bの第1の組み合わせモードの直交型スクリーンへの適用

を部分的に示す。

図5は、図4に示す副画素R、G、Bの組み合わせモードの第1の変形例を部分的に示す。

図6は、図4に示す副画素R、G、Bの組み合わせモードの第2の変形例を部分的に示す。

図7a及び図7bは、デルタ型マトリクス・スクリーンに適用された図4に示す副画素R、G、Bの組み合わせモードの第3及び第4の変形例を部分的に示す。

図8は、本発明に係るアドレッシング装置により実現され直交型マトリクス・スクリーンに適用された副画素R、G、Bの組み合わせの第2のモードを部分的に示す。

図9は、デルタ型マトリクス・スクリーンに適用された図4に示す副画素R、G、Bの組み合わせモードの第5の変形例を部分的に示す。

図10は、本発明に係るアドレッシング装置の第1実施例を部分的に示す。

図11は、本発明に係るアドレッシング装置の第2実施例を部分的に示す。

図12～図14は、図10のアドレッシング装置の動作を説明するための図である。

図15及び図16は、図11のアドレッシング装置の動作を説明するための図である。

図10は、輝度ビデオ信号をそれぞれ受ける複数の副画素R、G、Bを表面に有するマトリクス・スクリーンをアドレッシングする装置の構成を示す。これらの画素は、N個の物理的な行とM個の物理

的な列からなる網としてスクリーンの表面に分布されている。LCDスクリーンの場合、この網の交点には、TFT（薄膜トランジスタ）等のスイッチが配置される。これらのスイッチは、アドレッシング相において、アドレッシングされた画素を物理的列に接続するのを可能とする。

本発明によれば、アドレッシング装置は、先に格納された輝度ビデオ信号をマルチプレクス段220を介して受信し、この輝度ビデオ信号を、マルチプレク

ス段230へ送出するメモリ段70及び198を有している。マルチプレクス段230は、メモリ段70及び198に先に格納されたデジタルデータの複数のシーケンスの中の副画素の所与の組み合わせに対応するデジタルデータのシーケンスを選択するように設計されている。

本発明に係るアドレッシング装置の第1の実施例によれば、メモリ段70は、副画素Rへ送られた信号のサンプリングから得られたデジタルデータの格納に割り当てられた第1のメモリ80と、副画素Gへ送られた信号のサンプリングから得られたデジタルデータの格納に割り当てられた第2のメモリ82と、副画素Bへ送られた信号のサンプリングから得られたデジタルデータの格納に割り当てられた第3のメモリ84とを有している。本実施例において、メモリ段70は、一方では、デジタルデータのメモリ80、82、84への書き込みを制御する手段72に接続され、他方では、上記データのメモリ80、82、84からの読み出しを制御する手段74に接続されている。上記書き込み制御手段72及び読み出し制御手段74は書き込み相と読み出し相とを同期させる第1の手段76に接続されている。

本実施例によれば、メモリ80、82、及び84の各々は2つの異なる領域、すなわち、所与の書き込み相の間に所与のビデオ行の副画素に関連するデジタルデータが書き込まれる第1の領域102と、上記書き込み相の間に、前回の書き込み相で書き込まれたビデ

オ行の副画素R、G、及びBに関するデジタルデータが読み出される第2の領域とを有している。

本発明に係るアドレッシング装置の第2実施例によれば、メモリ段198は2つの並列なアーム部、すなわち、偶数ビデオ列を構成する物理列の1つに配置された副画素R、G、Bに関するビデオデータをそれぞれ収容するよう意図された少なくとも3つのFIFOセル、すなわち、第1のセル202、第2のセル204、及び第3のセルを有するユニット200が配置された第1のアーム部と、奇数ビデオ行を構成する物理行の1つに配置された副画素R、G、Bに関連するビデオデータをそれぞれ収容するよう意図された少なくとも3つのFIFOセル、

すなわち、第4のセル212、第5のセル214、及び第6のセル216を含むユニット210が配置された第2のアーム部とを有している。

本実施例において、デマルチプレクス段220は、一方では、奇数ビデオ列に属する副画素R、G、Bに関するデータをユニット200に切り替えることで、持続期間Dのビデオ行の書き込み相の間、上記データをそれぞれ第1のセル202、第2のセル204、及び第3のセル206へ書き込み、他方では、偶数ビデオ列に属する副画素R、G、Bに関するデータをユニット210へ切り替えることで、書き込み相の間、上記データをそれぞれ第4のセル212、第5のセル214、及び第6のセル216へ書き込む。

この第2の実施例によれば、第2の同期手段240が、一方では、デマルチプレクス段220に接続され、奇数ビデオ列上にそれぞれ配置された副画素R、G、Bに関するビデオデータの第1のセル202、第2のセル204、及び第3のセル206への書き込みを制御する周波数Fの第1の周期信号OWと、偶数ビデオ列にそれぞれ配置された副画素R、G、Bに関するビデオデータの第4のセル212、第5のセル214、及び第6のセル216への書き込みを制御する周波数Fの第2の周期信号EWとを上記した段220へ送出

する。この第2の同期手段240は、他方では、マルチプレクス段230に接続され、マルチプレクス段230により選択された偶数（又は奇数）ビデオ列の副画素に関するビデオデータの読み出しを制御する周波数 $2 * F$ の第3の周期信号RDを上記した段230へ送出する。

マルチプレクス段230は、持続期間Dの半分に相当する時から、セル202、204、206、212、又は216の1つに先に格納された、表示されるべきビデオ行に属する副画素を表すデータシーケンスを周波数 $1 / D$ で選択する。

図12は、本発明に係る装置によるデルタ型スクリーンのアドレッシングを部分的に示す。ビデオ列35、37、及び64の連続する画素 PX_k ($k=1, 2, 3, \dots$) は、それらの空間位置に応じて添え字 k で表されている。各画素は3つの副画素 R_k, G_k, B_k を組み合わせることにより構成されている。信号SIG1、SIG2、SIG3は、同じビデオ列上に配置された副画素 R_k, G_k

、 B_k にそれぞれ送られる輝度信号のサンプルを表す。従って、物理行 L_i の副画素は、サンプル $R_1, R_3, R_5, \dots, G_1, G_3, G_5, \dots$ 、及び B_2, B_4, B_6, \dots をそれぞれ含む3つのシーケンス SIG_1, SIG_2, SIG_3 をそれぞれ受ける。一方、物理行 L_{i+1} の副画素は、サンプル $R_2, R_4, R_6, \dots, G_2, G_4, G_6, \dots$ 、及び B_3, B_5, B_7 をそれぞれ含む3つのシーケンス SIG_1, SIG_2, SIG_3 をそれぞれ受ける。

図14は、ビデオ行 L_V の副画素 R, G, B に関するデータの書き込みが行われると共に前行 L_{V-1} の副画素 R, G, B に関するデータの読み出しが行われる相、及び、ビデオ行 L_{V+1} の副画素 R, G, B に関するデータの書き込みが行われると共に、前の相で書き込まれたビデオ行の副画素 R, G, B に関するデータの読み出しが行われる次の相を示す。

上述の如く、前記ビデオ行 L_V の書き込み、及び、前記ビデオ行 L_{V-1} の読み出しは同時に行われ、第1の同期手段76により同期される。第1の同期手段76は、図4に示す信号 W/R を書き込み制御手段72及び読み出し制御手段74へ送り、副画素 R, G, B に関するビデオデータを前方向に書き込むことを可能とすると共に、相関的に上記データをスクリーン上の副画素 R, G, B の各々の空間位置で読み出すことを可能とする。

行 L_V に対する書き込み相は線 $RSTW, WAB$ 、及び W/R により表され、行 L_{V-1} に対する読み出し相は線 $RSTR, RVAB, BRDA, BDA$ 、及び $BRDA$ により表されている。

線 $RSTW$ は、書き込み相を初期化する信号を表し、線 WAB は、サンプル R_k, G_k, B_k を表すデジタルデータが順次格納されることになるメモリ80、82、84の連続アドレスを表す。線 WDA は、データバス86、88、90によりそれぞれ搬送された上記デジタルデータを表す。線 W/R は、第1の同期手段76により送られた、連続する書き込み及び読み出し相を同期させる信号を表す。線 $RSTR$ は、読み出し相を初期化する信号を表す。線 $RVAB$ は、サンプル R_k, G_k を表す信号が既に格納されたメモリ80、82、84の連続アドレスを表す。線 $VRDA$ は、データバス94、96上にそれぞれ読み出されたデ

ータ R_k , G_k を表す。線 BAB は、サンプル B_k を表すデジタルデータが既に格納されたメモリ 80, 82, 84 の連続アドレスを表し、線 $BRDA$ はバス 92 上に読み出されたデータ B_k を表す。

線 WDA 上に示されたデータ R_k , G_k , B_k は前向きに書き込まれ、先に書き込まれたデータ $RVDA$ 及び $BRDA$ はスクリーン表面上のそれぞれの位置で相関的に読み出される。

図 15 は、セル 202 及びセル 210 を部分的に示す。また、図 16 は、ビデオ行 LV の副画素 R , G , B に関するデータの書き込みが行われると共に、セル 202 及び 210 に先に書き込まれた前

記ビデオ行 LV の副画素 R , G , B に関するデータの読み出しが行われる相、及び、ビデオ行 $LV+1$ の副画素 R , G , B に関するデータの書き込みが行われると共に、セル 202 及び 210 に先に書き込まれた前記ビデオ行 $LV+1$ の副画素 R , G , B に関するデータの読み出しが行われる相を示す。上記書き込み及び読み出し相の同期は、第 2 の同期手段 240 が、奇数ビデオ列上に配置された副画素 R , G , B に関連するビデオ信号のセル 202, 204, 206 への書き込みを制御する周波数 F の第 1 の周期信号 OW と、偶数ビデオ列上に配置された副画素 R , G , B に関するビデオデータのセル 212, 214, 216 への書き込みを制御する周波数 F の第 2 の周期信号 EW とをデマルチプレクス段 220 へ供給すると共に、マルチプレクス段 230 により選択された偶数(又は奇数)ビデオ列の副画素に関するデータの読み出しを制御する周波数 $2 * F$ の第 3 の周期信号をマルチプレクス段 230 へ供給することにより行われる。

図 16 において、線 IE は書き込み相を初期化する信号を表し、線 OW は、奇数ビデオ列上に配置された副画素 R , G , B に関するビデオデータの書き込みを制御する信号を表し、線 EW は、偶数ビデオ列上に配置された副画素 R , G , B に関するビデオデータの書き込みを制御する信号を表し、線 WDA はセル 202 及び 210 へ書き込まれるべきデジタルデータを表し、線 IL は読み出し相を初期化する信号を表し、線 RDA は読み出されたデータを表し、線 OE は、奇数ビデオ列上に配置された副画素 R , G , B に関するデータを選択する信号を表し

，線OEは、偶数ビデオ列上に配置された副画素R，G，Bに関するデータを選択する信号を表す。線OW上に見られるように、奇数ビデオ列上に配置された副画素R，G，Bに関するビデオデータのセル202への書き込みは、信号OWの各立ち上がりエッジに同期している。同様に、偶数ビデオ列上に配置された副画素R，G，Bに関連するビデオデータのセル21

0への書き込みは信号EWの各立ち上がりエッジに同期している。信号RDは、信号OW及びEWの2倍の周波数でのデジタルデータの読み出しを許可する。従って、奇数ビデオ列上に配置された副画素R，G，Bに関するデータ及び偶数ビデオ列上に配置された副画素R，G，Bに関する副画素R，G，Bに関するデータの読み出しの全持続時間とのビデオ列の周波数での同期のため、上記読み出し相は、セル202及び212が半分埋まったときに開始される。このため、図16の例では、奇数データは、本例ではセル202の半分に位置する321番目のデータ項目の書き込みに一致する時点から、信号OEが論理ハイレベルを有する場合に信号RDの各立ち上がりエッジで読み出される。同時に、偶数データは、321番目のデータ項目のセル212への書き込みに一致する時点で、信号EOEが論理ハイレベルを有する場合に信号RDの各立ち上がりエッジで読み出される。

図4～図9は、2つの物理行 L_i 及び L_{i+1} を用いて表示されるべき画像のビデオ行が構成される副画素の組み合わせを示す。上記画像は、奇数ビデオ行21，23，25，27，29，31，33，35，37，39，41，43，45，47，及び49を備える奇数ラスタ9，11，13，15，17，19，20，及び、偶数ビデオ行54，56，58，60，62，64，65，66，67，68を備える偶数ラスタ40，42，44，46，48，50，52に分解されており、これらの偶数ラスタ及び奇数ラスタが互いに1物理行だけオフセットされることで、奇数ビデオ行を偶数ビデオ行とインターレースすることが可能となっている。

図4～図8からわかるように、偶数ビデオ行54，56，58，64，65，67を構成するのに用いられる物理行 L_i は、それぞれ、奇数ビデオ行21，2

5, 29, 35, 39, 及び43を構成するのにも用いられている。これにより, 上記偶数ビデオ行及び奇数ビデオ行のインターレースが生成される。

図4～図7b及び図9に示す本発明に係るアドレッシング装置の第1の適用例によれば, マルチプレクス段220は, 物理量 L_i (それぞれ L_i+1) 上に配置された2つの隣接する副画素, 及び, 物理行 L_i (それぞれ L_i+1) 上に配置された副画素に関するデジタル信号のシーケンスを選択し, 次に, 行 L_i (それぞれ L_i+1) 上に配置された副画素, 及び行 L_i+1 上に配置された2つの副画素に関するデジタル信号のシーケンスを選択して, 表示されるべき画像のビデオ行の画素をアドレッシングする。

図8に示す本発明に係るアドレッシング装置の第2の適用例によれば, マルチプレクス段220は, 物理行 L_i 上に配置された第1の副画素に関連するデジタル信号のシーケンス, 及び, 第1の副画素に隣接して物理行 L_i+1 上に配置された第2の副画素に関するデジタル信号のシーケンスを選択することにより, ビデオ行43及び45 (それぞれ67) の画素をアドレッシングする。

この組み合わせモードは, 上記した従来技術の組み合わせモードに対して水平解像度が3倍になる一方, 色エイリアングとして知られるスペクトル低下により彩色が生ずる点で, 特に, 良好な測色法は要求しないが詳細部の良好な適合性を要求する用途に適している。

組み合わせられた副画素へ送られたビデオ信号のサンプリングは, 同時に, 又は, 空間モードで, すなわち, 副画素のスクリーン表面上でのそれぞれの位置に対応した異なる時点で行われる。

従って, マトリクス・スクリーンの物理行及び列上の副画素の相対位置を i , j とすると, 1から M まで周期的に変化する j , 及び, 奇数ラスタ19上に配置された2つの所与の物理行 L_i 及び L_i+1 に対して, アドレッシングの第1の例では,

— 原色R及びGをそれぞれ表し, 奇数ビデオ行43及び45の第1の表示可能画素を構成する副画素 $p(i, j)$ 及び $p(i, j+1)$ に送られたビデオ信号がサンプリングされ, 次に, 原色G及びBをそれぞれ表し, 上記奇数ビデオ行4

3及び45の第2の表示可

能画素を構成する副画素 $p(i, j+1)$ 及び $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされる。また、偶数ラスタ50上に配置された2つの所与の物理行 L_i 及び L_{i+1} に対して、

— 原色G及びRをそれぞれ表し、偶数ビデオ行67の第1の表示可能画素を構成する副画素 $p(i, j)$ 及び $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色B及びGをそれぞれ表し、上記偶数ビデオ行67の第2の表示可能画素を構成する副画素 $p(i, j+1)$ 及び $p(i+1, j+1)$ に送られた信号がサンプリングされる。

直行型スクリーンに適用された図4に示すアドレッシングの第2の例において、1からMまで3刻みで周期的に変化する j 、及び、奇数ラスタ9上に配置された所与の2つの物理行 L_i 及び L_{i+1} に対して、

— 原色R, G, Bをそれぞれ表し、奇数ビデオ行21, 23の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, 及び $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、上記奇数ビデオ行21, 23の次の画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+1)$, 及び $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ラスタ40上に配置された所与の物理行 L_i , L_{i+1} に対して、

— 原色B, R, Gをそれぞれ表し、偶数ビデオ列54の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られるビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、上記偶数ビデオ列54の次の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。

直交型スクリーンに適用された図5に示すアドレッシングの第3

の例において、1からMまで3刻みで変化する j 、及び、奇数ラスタ11上に配置された2つの所与の物理行 L_i , L_{i+1} に対して、

— 原色G, B, Rをそれぞれ表し, 奇数ビデオ列25及び27の第1の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ, 次に, 原色B, R, Gをそれぞれ表し, 上記奇数ビデオ行25, 27の次の画素を構成する副画素 $p(i, j+2)$, $p(i, j+3)$, 及び $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。また, 偶数ラスタ42上に配置された2つの所与の物理行 L_i 及び L_{i+1} に対して,

— 原色B, R, Gをそれぞれ表し, 偶数ビデオ行56の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ, 次に, 原色G, B, Rをそれぞれ表し, 上記偶数ビデオ行56の次の画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+2)$, $p(i+1, j+3)$ に送られたビデオ信号がサンプリングされる。

直交型スクリーンに適用された図6に示すアドレッシングの第5の例において, 1からMまで3刻みで周期的に変化する j , 及び, 奇数ラスタ13上に配置された6つの所与の物理行 L_i , L_{i+1} , L_{i+2} , L_{i+3} , L_{i+4} , L_{i+5} に対して,

— 原色R, G, Bをそれぞれ表し, 奇数ビデオ行29の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, 及び $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ, 次に, 原色G, B, Rをそれぞれ表し, 上記奇数ビデオ行29の第2の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ, 次に, 原色B, R, Gをそれぞれ表し, 次の奇数ビデオ行31の第1の画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ, 次

に, 原色R, G, Bをそれぞれ表し, 奇数ビデオ行31の第2の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ, 次に, 原色G, B, Rをそれぞれ表し

，奇数ビデオ行33の第1の画素を構成する副画素 $p(i, j)$ ， $p(i+1, j)$ ， $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ，次に，原色B，R，Gをそれぞれ表し，上記奇数ビデオ行33の第2の画素を構成する副画素 $p(i, j+1)$ ， $p(i, j+2)$ ， $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。また，偶数ラスタ44上に配置された所与の6つの物理行 L_i ， L_{i+1} ， L_{i+2} ， L_{i+3} ， L_{i+4} ， L_{i+5} に対して，

—原色G，B，Rをそれぞれ表し，偶数ビデオ行58の第1の表示可能画素を構成する副画素 $p(i, j)$ ， $p(i+1, j)$ ， $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ，次に，原色B，R，Gをそれぞれ表し，上記偶数ビデオ行58の第2の画素を構成する副画素 $p(i, j+1)$ ， $p(i, j+2)$ ， $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ，次に，原色R，G，Bをそれぞれ表し，次の偶数ビデオ行60の第1の画素を構成する副画素 $p(i, j)$ ， $p(i+1, j)$ ，及び $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ，次に，原色G，B，Rをそれぞれ表し，偶数ビデオ行60の第2の表示可能画素を構成する副画素 $p(i, j+1)$ ， $p(i, j+2)$ ， $p(i+1, j+2)$ に送られた信号がサンプリングされ，次に，原色B，R，Gをそれぞれ表し，偶数ビデオ行62の第1の画素を構成する副画素 $p(i, j)$ ， $p(i+1, j)$ ， $p(i+1, j+1)$ へ送られたビデオ信号がサンプリングされ，次に，原色R，G，Bをそれぞれ表し，上記偶数ビデオ行62の第2の画素を構成する副画素 $p(i, j+1)$ ， $p(i, j+2)$ ， $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。

物理行 L_{i+1} が物理行 L_i に対して副画素の半分だけ右へオフセットしたデルタ型スクリーンに適用された図7aに示すアドレッシングの第6の例において，1からMまで3刻みで周期的に変化する j ，及び，奇数ラスタ15上に配置された所与の2つの物理行 L_i 及び L_{i+1} に対して，

— 原色R，G，Bをそれぞれ表し，奇数ビデオ行35，37の第1の表示可能画素を構成する副画素 $p(i, j)$ ， $p(i, j+1)$ ， $p(i+1, j)$ に送

られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、上記奇数ビデオ行35, 37の次の画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+1)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ラスタ46上に配置された所与の2つの物理行 L_i , L_{i+1} に対して、

— 原色B, R, Gをそれぞれ表し、偶数ビデオ行64の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、上記偶数ビデオ行64の次の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。

デルタ型スクリーンに適用された図7bに示すアドレッシングの第7の例では、1からMまで3刻みで周期的に変化するj、及び、奇数ビデオラスタ11上に配置された所与の2つの物理行 L_i 及び L_{i+1} に対して、

— 原色R, G, Bをそれぞれ表し、奇数ビデオ行39の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、上記奇数ビデオ行39の第2の画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+1)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ、次

に、原色G, B, Rをそれぞれ表し、奇数ビデオ行41の第1の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、奇数ビデオ行41の第2の表示可能画素を構成する副画素 $p(i, j+2)$, $p(i, j+3)$, $p(i+2, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ビデオラスタ44上に配置された所与の2つの物理行 L_i , L_{i+1} に対して、

— 原色B, R, Gをそれぞれ表し、偶数ビデオ行65の最初の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、偶

数ビデオ行65の第2の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、偶数ビデオ行66の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色G, B, Rをそれぞれ表し、偶数ビデオ行66の第2の表示可能画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+2)$, $p(i+1, j+3)$ に送られたビデオ信号がサンプリングされる。

デルタ型スクリーンに適用された図9に示すアドレッシングの第8の例では、1からMまで3刻みで周期的に変化するj、及び、奇数ビデオラスタ20上に配置された所与の4つの物理行 L_i , L_{i+1} , L_{i+2} , L_{i+3} に対して、
 — 原色R, G, Bをそれぞれ表し、奇数ビデオ行47の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、奇数ビデオ行47に共通の第2の

画素を構成する副画素 $p(i+1, j+1)$, $p(i+1, j+2)$, $p(i+2, j+2)$ に送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、奇数ビデオ行49の第1の表示可能画素を構成する副画素 $p(i+2, j)$, $p(i+2, j+1)$, 及び $p(i+3, j)$ に送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、奇数ビデオ行49の第2の画素を構成する副画素 $p(i+3, j+1)$, $p(i+3, j+2)$, $p(i+4, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ビデオラスタ52上に配置された3つの物理行 L_i , L_{i+1} , L_{i+2} に対して、

— 原色B, R, Gをそれぞれ表し、偶数ビデオ行68の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、偶数ビデオ行68の第2の表示可能画素を構成する副画素 $p(i+1, j+2)$, p

($i+2, j+1$), $p(i+2, j+2)$ に送られたビデオ信号がサンプリングされる。

本発明に係る装置によって、アドレッシングされるスクリーンのタイプにかかわらず解像度が改良される。特に、デルタ型スクリーンに対して、 $M \times 2/3$ に等しい解像度、従って、従来技術の装置によるこのスクリーンのアドレッシングモードによって得られる解像度の2倍の解像度が得られ、鉛直解像度は厳密に鉛直な線に対して $N/2$ であり、対角線に対して N である。

【図1】

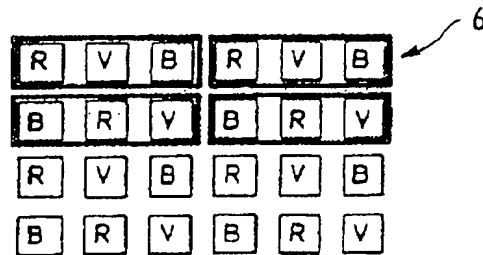


FIG.1

【図2】

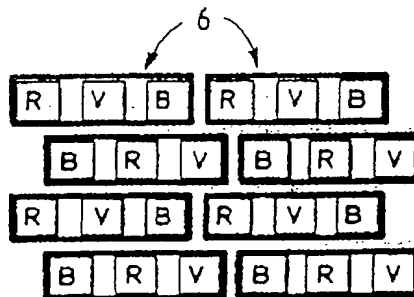


FIG.2

【図3】

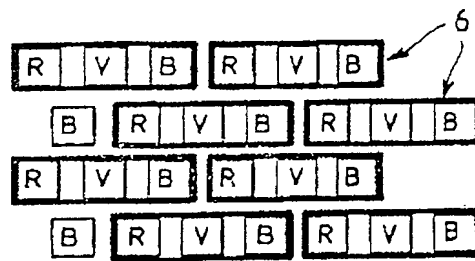


FIG.3

【図4】

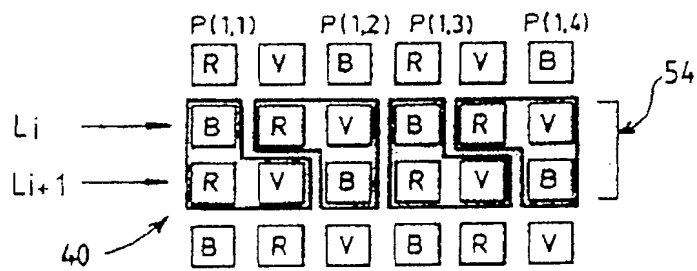
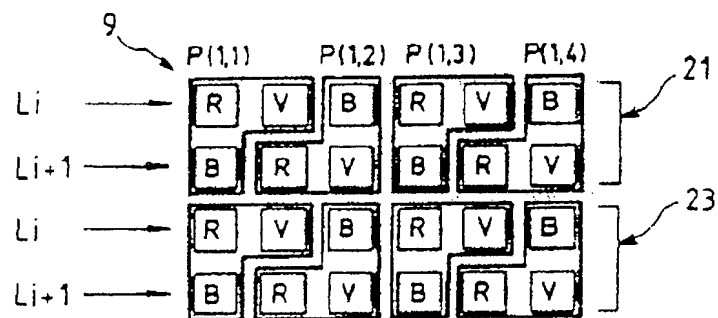


FIG.4

【図5】

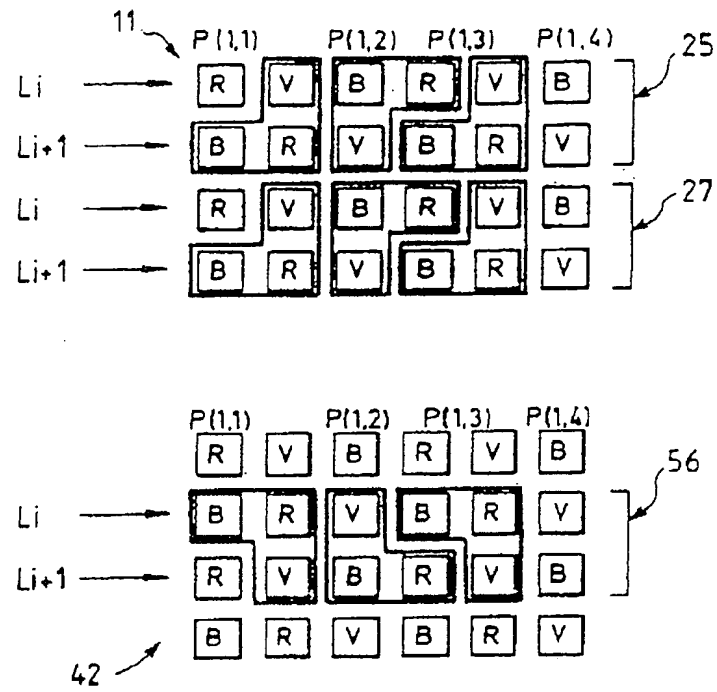


FIG. 5

【図6】

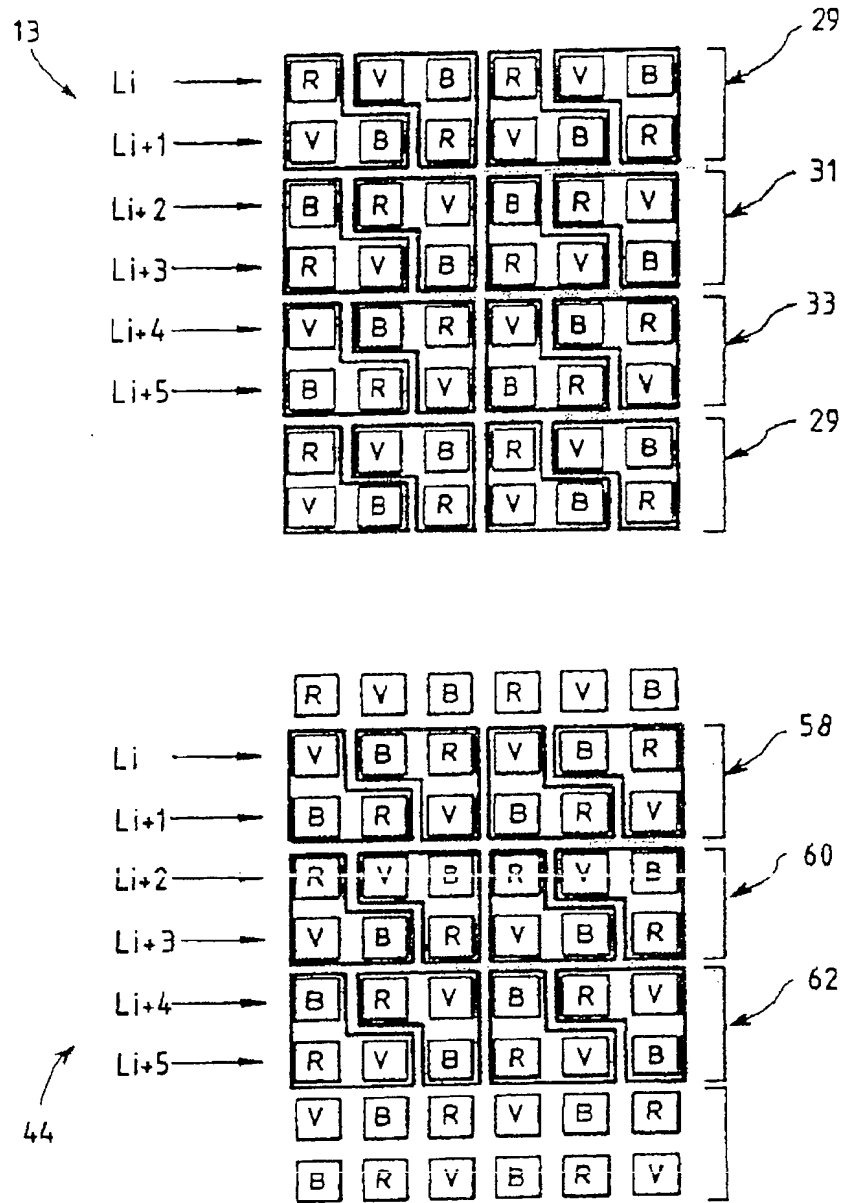


FIG. 6

【図7】

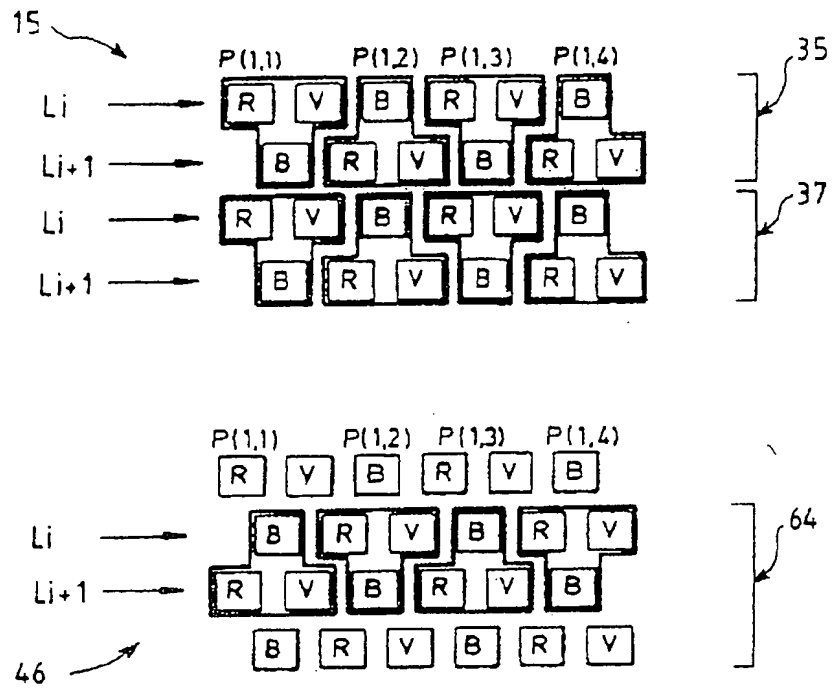


FIG. 7a

【図7】

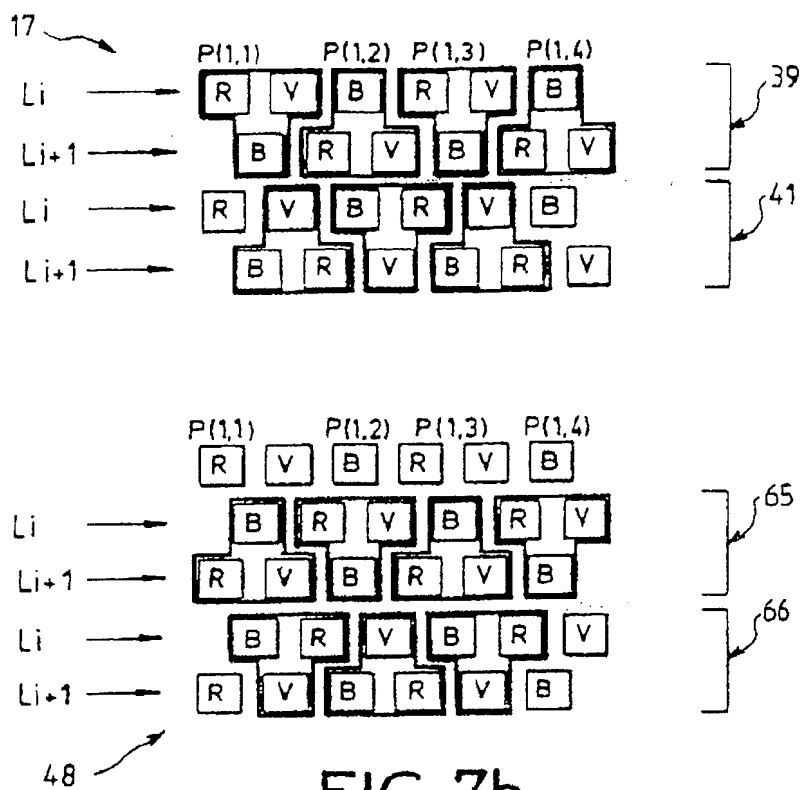


FIG.7b

【図8】

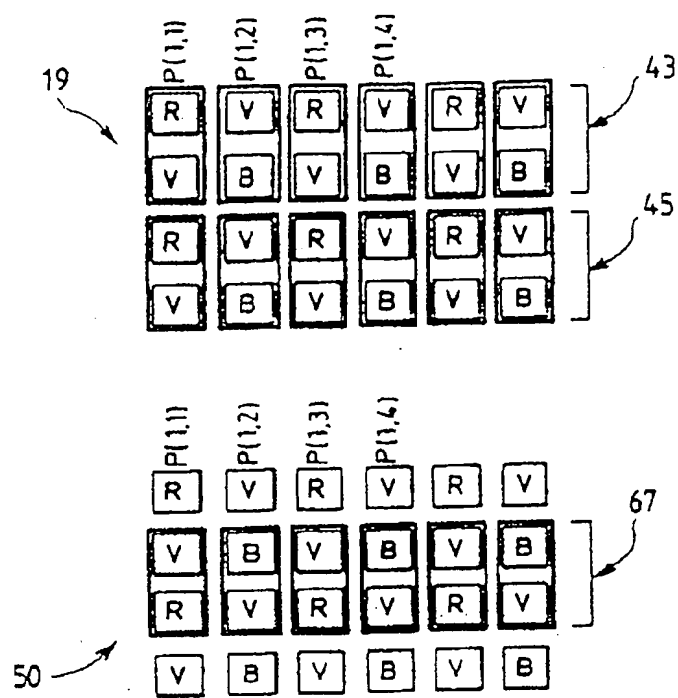


FIG. 8

【図 9】

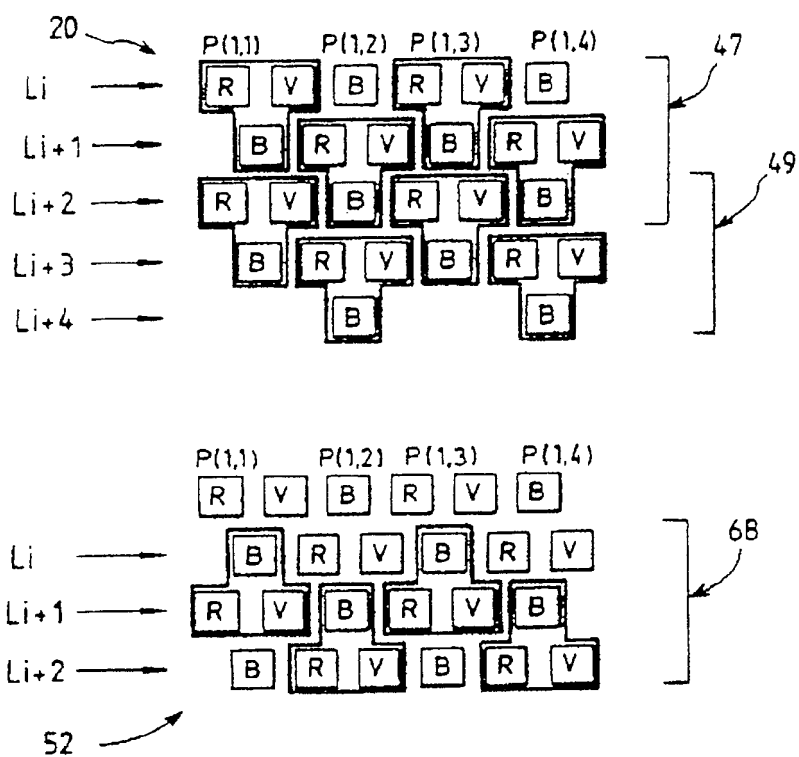


FIG. 9

【图 10】

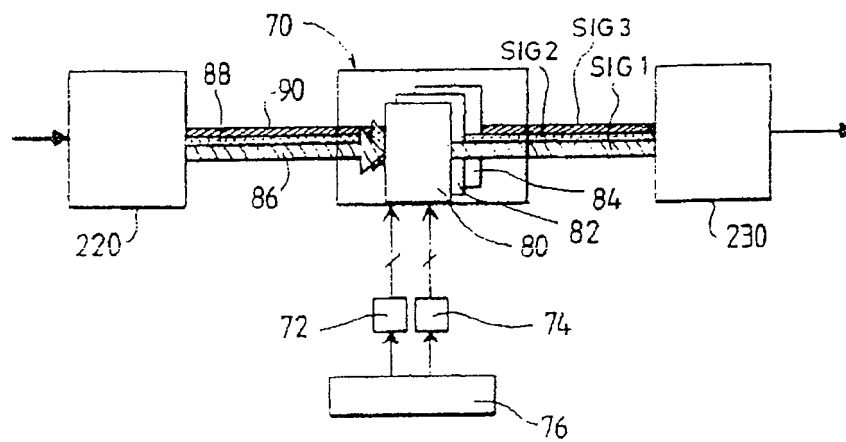


FIG. 10

【図 11】

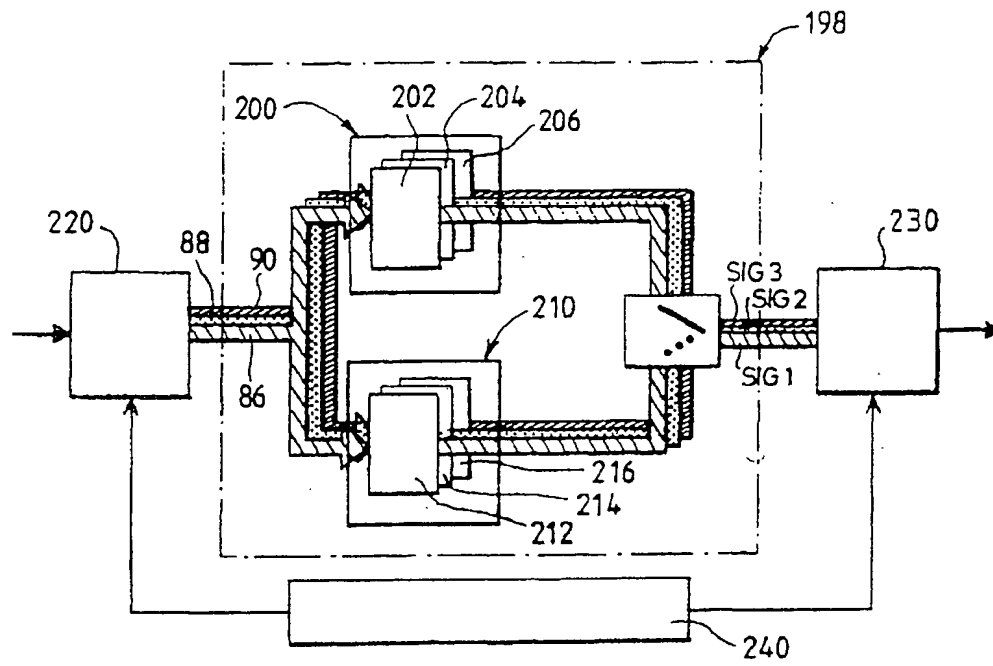


FIG.11

【図 12】

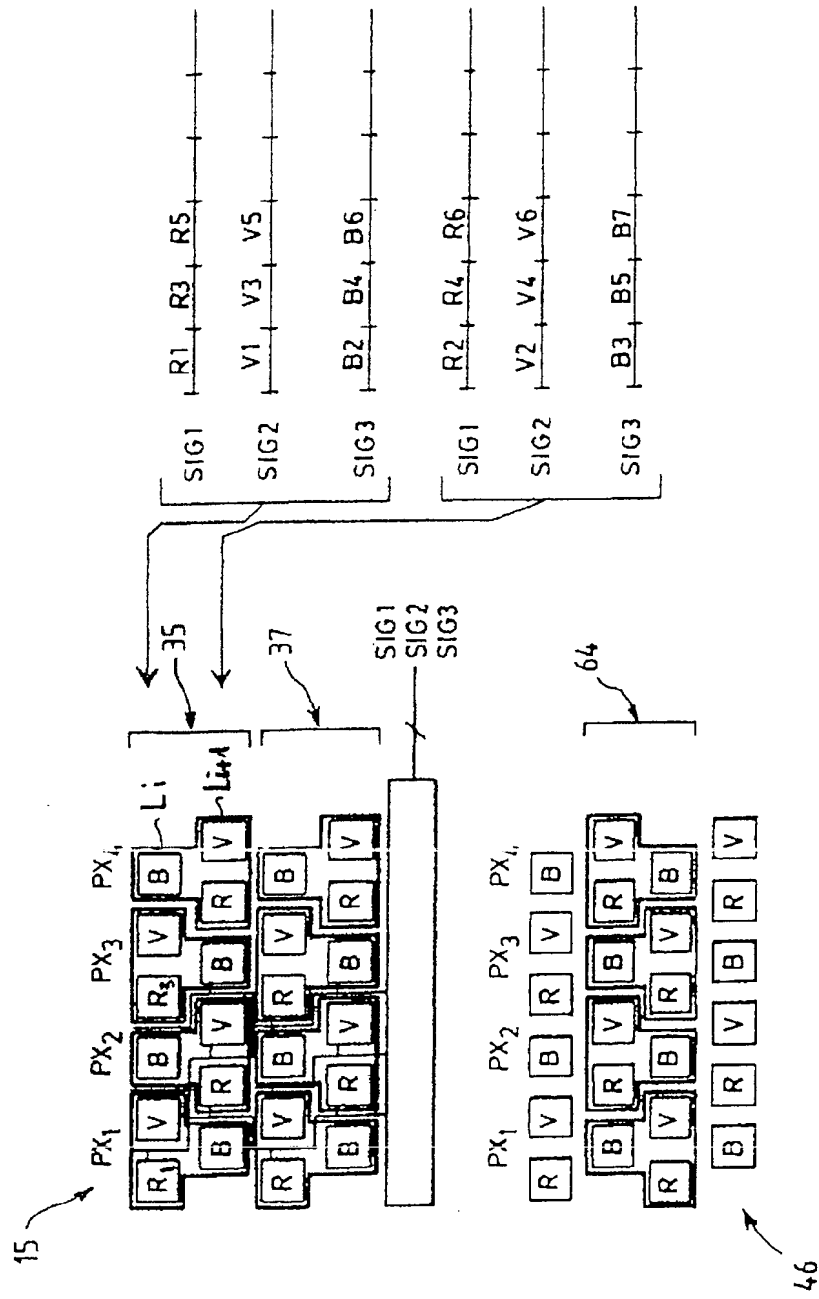


FIG.12

【図13】

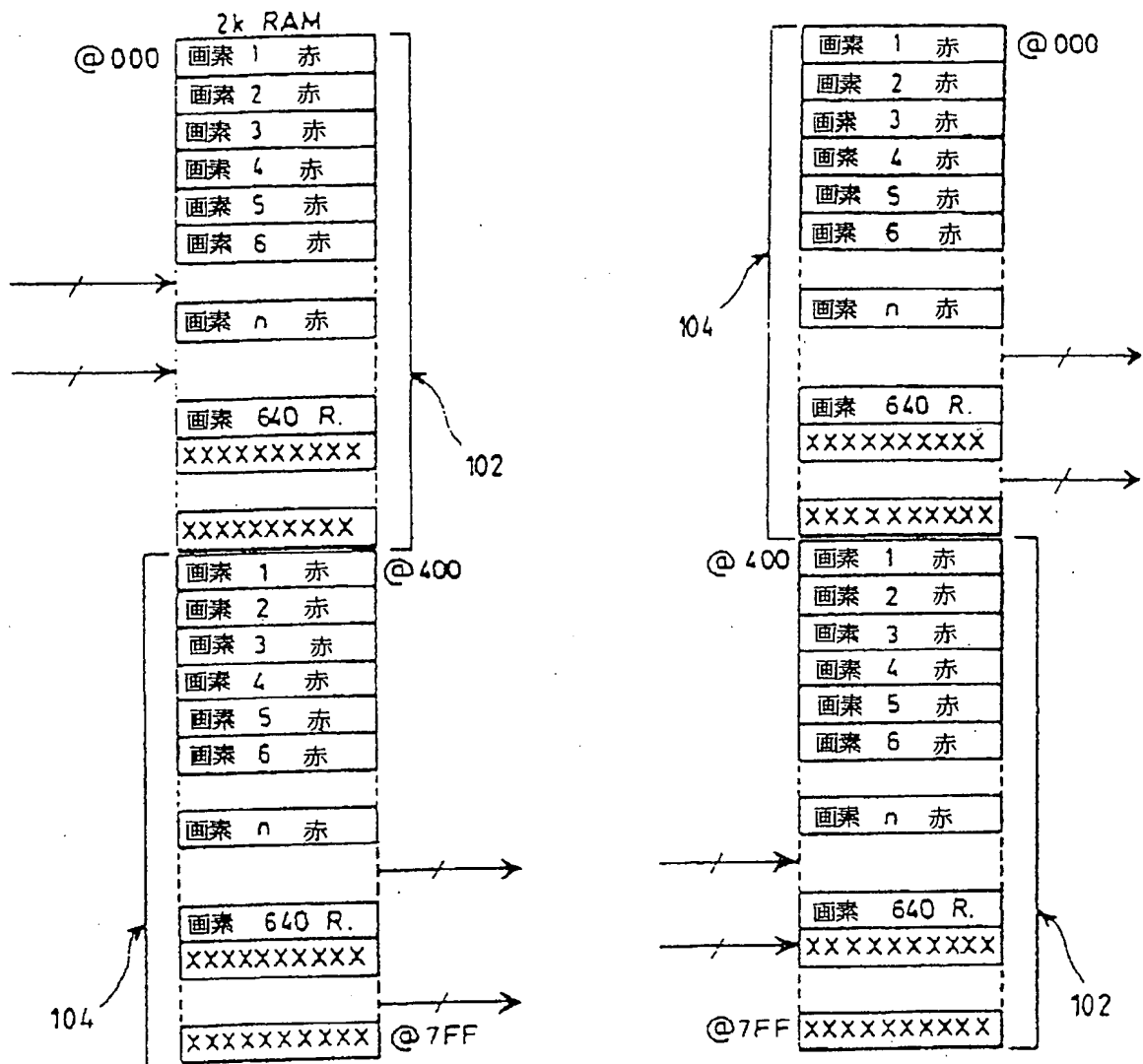


FIG.13

Diagram illustrating the timing and data flow for the RSTW, WAB, WDA, W/R, RSTR, RVAB, RVROA, BAB, and BRDA signals. The diagram shows the relationship between LV (Low Voltage) and LV+1 (High Voltage) periods and the corresponding data bus activity.

The signals are shown in a sequence of 11 horizontal bars, each representing a different signal. The signals are labeled on the left: RSTW, WAB, WDA, W/R, RSTR, RVAB, RVROA, BAB, and BRDA. The signals are grouped into three sections: RSTW, WAB, WDA, W/R; RSTR, RVAB, RVROA; and BAB, BRDA.

The timing diagram shows the relationship between LV (Low Voltage) and LV+1 (High Voltage) periods. The signals are shown in a sequence of 11 horizontal bars, each representing a different signal. The signals are labeled on the left: RSTW, WAB, WDA, W/R, RSTR, RVAB, RVROA, BAB, and BRDA. The signals are grouped into three sections: RSTW, WAB, WDA, W/R; RSTR, RVAB, RVROA; and BAB, BRDA.

The data bus activity is shown in a sequence of 11 horizontal bars, each representing a different signal. The signals are labeled on the left: RSTW, WAB, WDA, W/R, RSTR, RVAB, RVROA, BAB, and BRDA. The signals are grouped into three sections: RSTW, WAB, WDA, W/R; RSTR, RVAB, RVROA; and BAB, BRDA.

The data bus activity is shown in a sequence of 11 horizontal bars, each representing a different signal. The signals are labeled on the left: RSTW, WAB, WDA, W/R, RSTR, RVAB, RVROA, BAB, and BRDA. The signals are grouped into three sections: RSTW, WAB, WDA, W/R; RSTR, RVAB, RVROA; and BAB, BRDA.

FIG. 14

【図15】

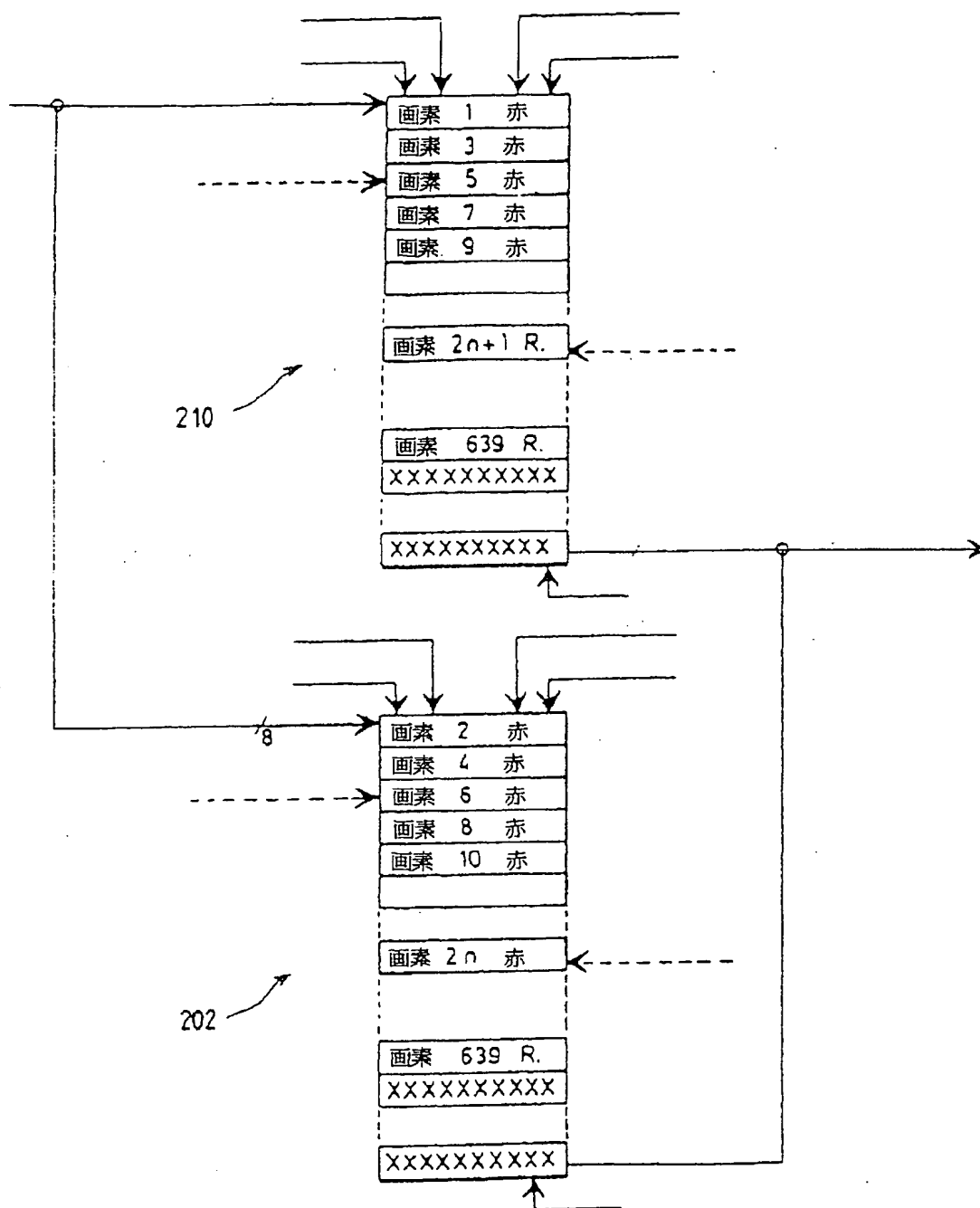


FIG.15

【図16】

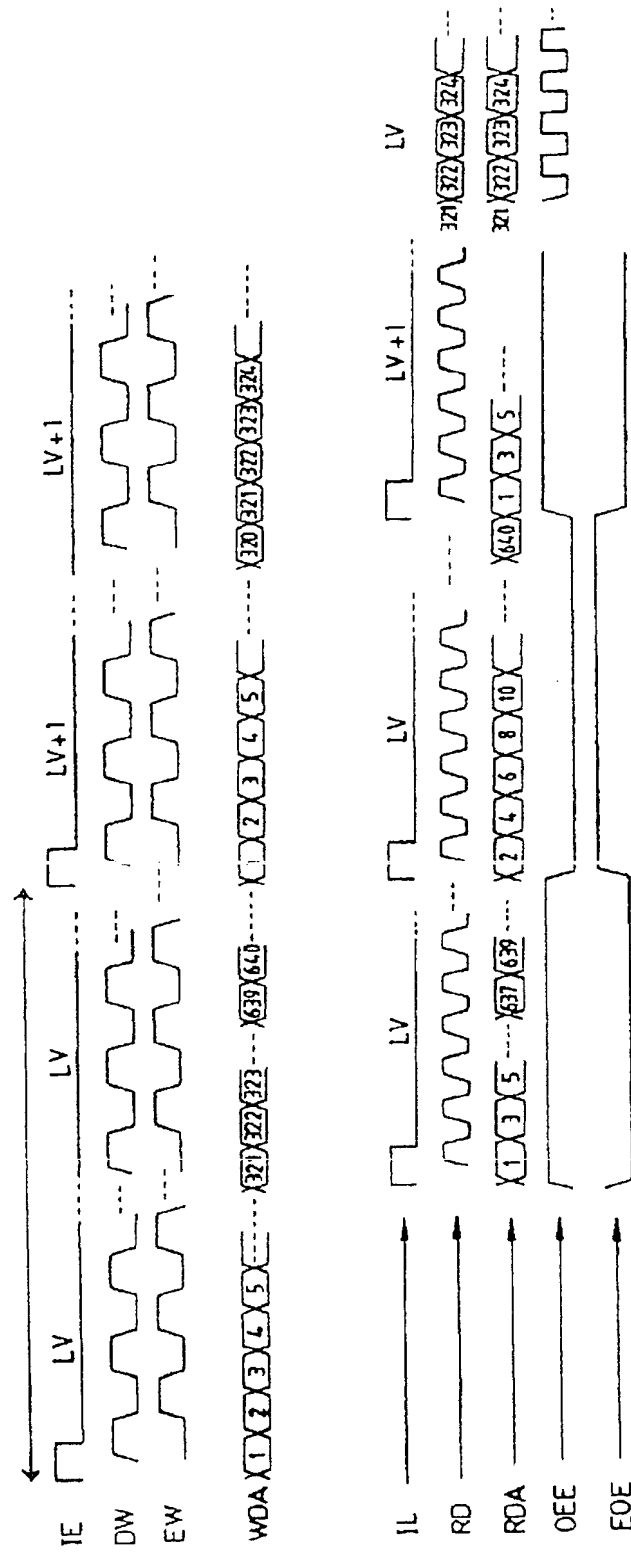


FIG.16

【国際調査報告】

INTERNATIONAL SEARCH REPORT

 Internat'l Application No
 PCT/FR 96/02013

 A. CLASSIFICATION OF SUBJECT MATTER
 IPC 6 609G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 609G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 985 698 A (MANO ET AL.) 15 January 1991	1
A	see abstract see column 2, line 66 - column 4, line 56; figure 1	2-8
A	DE 36 34 092 A (DEUTSCHE THOMSON-BRANDT GMBH) 14 April 1988 see abstract see column 1, line 63 - column 2, line 13; figure 1	2-8

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

27 March 1997

Date of mailing of the international search report

14.04.97

Name and mailing address of the ISA

 European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 cpo nl.
 Fax: (+31-70) 340-3016

Authorized officer

Corsi, F

INTERNATIONAL SEARCH REPORT

 Intern. Application No.
PCT/FR 96/02013

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 368 572 A (SHARP K.K.) 16 May 1990 see column 27, line 19 - column 31, line 43 see column 19, line 50 - column 21, line 22 see column 10, line 50 - column 15, line 50 see abstract see column 5, line 11 - column 6, line 14; figures 2-5,8,11,12 ---	2-8
A	US 5 444 497 A (K.TAKEUCHI) 22 August 1995 see column 12, line 20 - line 37 see abstract see column 5, line 9 - line 54; figures 2,12 ---	2,5
A	EP 0 428 324 A (DELCO ELECTRONICS CO.) 22 May 1991 see abstract see column 2, line 39 - column 4, line 30 see column 1, line 25 - column 2, line 48; figures 1-3 -----	1-8

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 96/02013

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4985698 A	15-01-91	JP 1113793 A	02-05-89
DE 3634092 A	14-04-88	NO 8802955 A	21-04-88
		EP 0286669 A	19-10-88
		JP 1501099 T	13-04-89
EP 368572 A	16-05-90	JP 2126285 A	15-05-90
		JP 2170784 A	02-07-90
		DE 68923683 D	07-09-95
		DE 68923683 T	15-02-96
		US 5192945 A	09-03-93
US 5444497 A	22-08-95	JP 6332843 A	02-12-94
		US 5585864 A	17-12-96
		US 5546137 A	13-08-96
EP 428324 A	22-05-91	JP 3174581 A	29-07-91

Form PCT/ISA/218 (patent family members) (July 1992)

フロントページの続き

- (72)発明者 アントワーヌ、デュボン
フランス国, 67000 ストラスブール, リ
ュ・ドゥ・ラ・バロン・オベルキルシュ
10
- (72)発明者 ル リュデック, ブヌワ
フランス国, 35510 セソニーセビネ, ク
ール・ドゥ・ラ・ヴィランヌ 46, セソ
ン・パルク
- (72)発明者 リュロー, ジャンークロード
フランス国, 91700 セント・ジュヌヴィ
エーブ・デ・ブワ, リュ・ビュフォン 18